



PATENT ABSTRACTS OF JAPAN

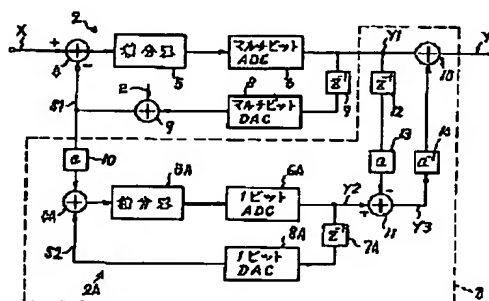
(11) Publication number: **06053836 A**(43) Date of publication of application: **25 . 02 . 94**(51) Int. Cl. **H03M 3/02**(21) Application number: **04224970**(71) Applicant: **SONY CORP**(22) Date of filing: **31 . 07 . 92**(72) Inventor: **FURUYA YUKINORI**(54) **ANALOG/DIGITAL CONVERSION CIRCUIT**

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To obtain an A/D conversion circuit free from an idle tone by constituting a sampling means of a multibit analog/digital (A/D) conversion means and a multibit D/A conversion means and canceling a sampling error by a delta/sigma modulation type A/D conversion means.

CONSTITUTION: A 2-bit A/D conversion circuit 6 and a 2-bit D/A conversion circuit 8 are used as an A/D conversion circuit and a D/A conversion circuit to be used for a loop filter for a delta/sigma A/D conversion circuit, and in the case of feeding back a filter output Y1 to the input side, a sampling error E generated in the D/A conversion circuit 8 is canceled by a sampling error correcting circuit 3 constituted of an 1-bit type delta/sigma A/D conversion circuit as a basic constitution. Consequently a highly precise A/D conversion circuit 1 prevented from generating an idle tone at the time of no signal can easily be obtained without using a highly precise integrator 5.



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-53836

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁶
H03M 3/02

識別記号

8522-5J

F I

審査請求 未請求 請求項の数 3 (全 8 頁)

(21)出願番号 特願平4-224970

(22)出願日 平成4年(1992)7月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 古屋 幸礼

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 アナログデジタル変換回路

(57)【要約】

【目的】本発明は、オーバーサンプリングデルタシグマ変調型のアナログデジタル変換回路において、いわゆるアイドルトーンの発生がなく、かつSN比が向上する。

【構成】オーバーサンプリングデルタシグマ変調型のアナログデジタル変換回路の量子化手段及び逆量子化手段を多ビットのアナログデジタル変換手段及びデジタルアナログ変換手段によって構成し、このデジタルアナログ変換回路に生じる量子化誤差を1ビットのアナログデジタル変換手段及びデジタルアナログ変換手段によって構成されるデルタシグマ変調型アナログデジタル変換手段によって打ち消す。これにより従来多ビット方式において量子化精度を劣化させていた量子化誤差を打ち消すことができ、1ビット方式と同程度の精度が得られ、かつ無信号時におけるアイドルトーンのないアナログデジタル変換回路を容易に得ることができる。

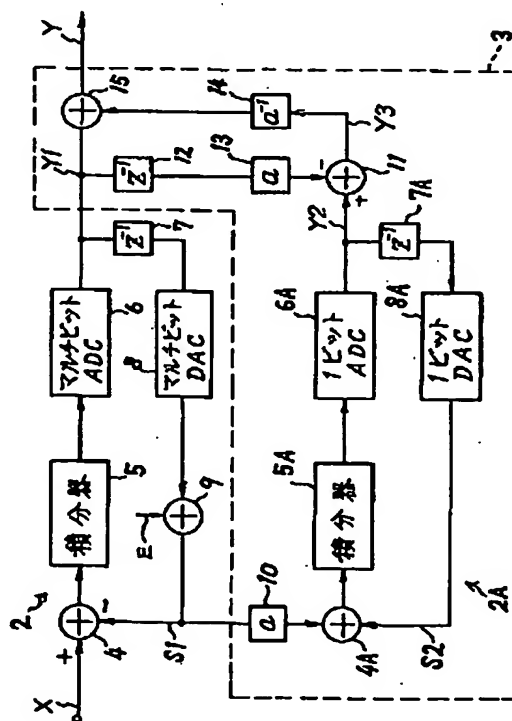


図1 第1実施例の構成

1

2

【特許請求の範囲】

【請求項 1】 オーバサンプリングデルタ-シグマ変調型のアナログデジタル変換回路において、量子化手段及び逆量子化手段を多ビットのアナログデジタル変換手段及びデジタルアナログ変換手段によって構成する第 1 のデルタ-シグマ変調型アナログデジタル変換手段と、

上記第 1 のデルタ-シグマ変調型アナログデジタル変換手段の入力端に負帰還されるアナログ信号を入力し、当該アナログ信号に基づいて当該第 1 のデルタ-シグマ変調型アナログデジタル変換手段より出力される第 1 のフィルタ出力の量子化誤差を打ち消してデジタルデータとして出力する量子化誤差補正手段とを具え、

上記量子化誤差補正手段は、量子化手段及び逆量子化手段を 1 ビットのアナログデジタル変換手段及びデジタルアナログ変換手段によって構成する第 2 のデルタ-シグマ変調型アナログデジタル変換手段と、

当該第 2 のデルタ-シグマ変調型アナログデジタル変換手段の第 2 のフィルタ出力と上記第 1 のフィルタ出力との差分より上記第 1 のフィルタ出力に重畳する量子化誤差を検出する量子化誤差検出手段と、

上記量子化誤差検出手段によつて検出された量子化誤差を上記第 1 のフィルタ出力より減算し、上記デジタル信号として出力する誤差成分除去手段とを有することを特徴とするオーバサンプリングデルタ-シグマ変調型のアナログデジタル変換回路。

【請求項 2】 オーバサンプリングデルタ-シグマ変調型のアナログデジタル変換回路において、

量子化手段を 1 ビットのアナログデジタル変換手段によつて構成する第 1 のデルタ-シグマ変調型アナログデジタル変換手段と、

上記 1 ビットのアナログデジタル変換手段に入力されるアナログ信号を入力し、当該アナログ信号に基づいて上記第 1 のデルタ-シグマ変調型アナログデジタル変換手段より出力される第 1 のフィルタ出力の量子化誤差を打ち消してデジタルデータとして出力する量子化誤差補正手段とを具え、

上記量子化誤差補正手段は、量子化手段及び逆量子化手段を多ビットのアナログデジタル変換手段及びデジタルアナログ変換手段によつて構成する第 2 のデルタ-シグマ変調型アナログデジタル変換手段と、

上記第 2 のデルタ-シグマ変調型アナログデジタル変換手段の入力端に負帰還されるアナログ信号を入力し、当該アナログ信号に基づいて上記第 1 のフィルタ出力の量子化誤差を打ち消して上記デジタルデータとして出力する量子化誤差補正部とを有し、

上記量子化誤差補正部は、量子化手段を 1 ビットのアナログデジタル変換手段によつて構成する第 3 のデルタ-シグマ変調型アナログデジタル変換手段と、

当該 1 ビットのアナログデジタル変換手段の第 3 のフィルタ出力と上記第 2 のフィルタ出力との差分より上記第 2 のフィルタ出力に重畳する量子化誤差を検出する量子化誤差検出手段と、

上記量子化誤差検出手段によつて検出された量子化誤差を上記第 2 のフィルタ出力より減算し、量子化誤差除去信号として出力すると共に、当該量子化誤差除去信号に基づいて上記第 1 のフィルタ出力に重畳する量子化雑音を打ち消して上記デジタル信号として出力する誤差成分除去手段とを有することを特徴とするオーバサンプリングデルタ-シグマ変調型のアナログデジタル変換回路。

【請求項 3】 上記第 1 の量子化誤差補正手段は、上記第 1 のデルタ-シグマ変調型アナログデジタル変換手段の入力端に負帰還されるアナログ信号に係数を乗算して振幅を圧縮する第 1 の係数乗算器と、上記第 1 のフィルタ出力に上記係数を乗算して振幅を圧縮する第 2 の係数乗算器と、上記量子化誤差検出手段によつて検出された量子化誤差に上記係数の逆数を乗算し、上記第 1 のフィルタ出力に重畳する量子化雑音と同じ大きさの量子化雑音を発生させる第 3 の係数乗算器とを具えることを特徴とする請求項 1 に記載のオーバサンプリングデルタ-シグマ変調型のアナログデジタル変換回路。

【発明の詳細な説明】

【 0 0 0 1 】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例 (図 1 及び図 2)

(1) 第 1 の実施例 (図 1)

(2) 第 2 の実施例 (図 2)

(3) 他の実施例

発明の効果

【 0 0 0 2 】

【産業上の利用分野】 本発明はアナログデジタル変換回路に関し、特にオーバサンプリングデルタ-シグマ変調型のアナログデジタル変換回路に適用して好適なものである。

【 0 0 0 3 】

【従来の技術】 今日、通信の分野や P C M (pulse code modulation) オーディオの分野のようにアナログ信号を高い精度でデジタルデータに変換することが要求される分野では、入力アナログ信号を 1 ビットのデジタル密度変調 (P D M) 信号に変換して出力するオーバサンプリングデルタ-シグマ変調型 A D 変換方式を用いたアナログデジタル変換回路 (以下 A D 変換回路という) が提案されている。

【0004】このオーバーサンプリングデルタ-シグマ変調型AD変換回路は、入力アナログ信号を順に減算器、積分器及び1ビットAD変換回路を介してデジタルデータに変換すると共に、その出力を1ビットのデジタルアナログ変換回路（以下DA変換回路という）を介して入力側に負帰還するものである。

【0005】すなわちこの種のAD変換回路は、1クロック前のデジタルデータを再度アナログ信号に戻したものとアナログ入力信号との差（デルタ）を入力部において求めて積分（シグマ）し、その後極めて高いサンプリング周波数（オーバーサンプリング）によつて量子化することによりデジタルデータに変換するようになされている。

【0006】例えば20〔kHz〕帯域の入力アナログ信号をデジタルデータに変換したい場合には、10〔MHz〕という極めて高いオーバーサンプリング周波数によつて入力アナログ信号をサンプリングし、サンプリングされた値を1ビットAD変換回路を使つて量子化することにより量子化雑音を広帯域に分散させて、信号帯域内の雑音密度を見かけ上低下させるようになされている。

【0007】

【発明が解決しようとする課題】ところでこのオーバーサンプリングデルタ-シグマ変調型AD変換回路には本質的に量子化誤差がないという理由で1ビット方式によるDA変換回路が広く用いられているが、数〔MHz〕という高いオーバーサンプリング周波数に対してダイナミックレンジが100〔dB〕近い能動特性がループフィルタを構成する積分器に要求され、SN比の向上に限界があつた。

【0008】またこの1ビット方式のオーバーサンプリングデルタ-シグマ変調型AD変換回路の場合、無信号時に低周波の雑音（いわゆるアイドルトーン）が発生するという問題があつた。

【0009】そこでループフィルタに例えば2ビットのAD変換回路及びDA変換回路を用いることにより積分器に要求される精度を下げるのが考えられるが、この場合にはDA変換回路に16ビット相当の精度を得るのが困難であり、オーバーサンプリングデルタ-シグマ変調型AD変換回路全体としての精度が劣化する問題があつた。

【0010】本発明は以上の点を考慮してなされたもので、いわゆるアイドルトーンが発生がなく、かつSN比の高いオーバーサンプリングデルタ-シグマ変調型のアナログデジタル変換回路を提案しようとするものである。

【0011】

【課題を解決するための手段】かかる課題を解決するため本発明においては、オーバーサンプリングデルタ-シグマ変調型のアナログデジタル変換回路1において、量子化手段及び逆量子化手段を多ビットのアナログデ

ジタル変換手段6及びデジタルアナログ変換手段8によつて構成する第1のデルタ-シグマ変調型アナログデジタル変換手段2と、第1のデルタ-シグマ変調型アナログデジタル変換手段の入力端に負帰還されるアナログ信号S1を入力し、当該アナログ信号S1に基づいて当該第1のデルタ-シグマ変調型アナログデジタル変換手段2より出力される第1のフィルタ出力Y1の量子化誤差を打ち消してデジタルデータYとして出力する量子化誤差補正手段3とを備え、量子化誤差補正手段3は、量子化手段及び逆量子化手段を1ビットのアナログデジタル変換手段6A及びデジタルアナログ変換手段8Aによつて構成する第2のデルタ-シグマ変調型アナログデジタル変換手段2Aと、当該第2のデルタ-シグマ変調型アナログデジタル変換手段2Aの第2のフィルタ出力Y2と第1のフィルタ出力Y1との差分より第1のフィルタ出力Y1に重畳する量子化誤差Q1を検出する量子化誤差検出手段11と、量子化誤差検出手段11によつて検出された量子化誤差Q1を第1のフィルタ出力Y1より減算し、デジタル信号Yとして出力する誤差成分除去手段15とを有するようにする。

【0012】また本発明においては、オーバーサンプリングデルタ-シグマ変調型のアナログデジタル変換回路20において、量子化手段を1ビットのアナログデジタル変換手段24によつて構成する第1のデルタ-シグマ変調型アナログデジタル変換手段21と、1ビットのアナログデジタル変換手段24に入力されるアナログ信号を入力し、当該アナログ信号に基づいて第1のデルタ-シグマ変調型アナログデジタル変換手段21より出力される第1のフィルタ出力の量子化誤差を打ち消してデジタルデータYとして出力する量子化誤差補正手段1とを備え、量子化誤差補正手段1は、量子化手段及び逆量子化手段を多ビットのアナログデジタル変換手段6及びデジタルアナログ変換手段8によつて構成する第2のデルタ-シグマ変調型アナログデジタル変換手段2と、第2のデルタ-シグマ変調型アナログデジタル変換手段2の入力端に負帰還されるアナログ信号を入力し、当該アナログ信号に基づいて第1のフィルタ出力の量子化誤差を打ち消してデジタルデータYとして出力する量子化誤差補正部2Aとを有し、量子化誤差補正部2Aは、量子化手段を1ビットのアナログデジタル変換手段6Aによつて構成する第3のデルタ-シグマ変調型アナログデジタル変換手段2Aと、当該1ビットのアナログデジタル変換手段6Aの第3のフィルタ出力と第2のフィルタ出力との差分より第2のフィルタ出力に重畳する量子化誤差を検出する量子化誤差検出手段11と、量子化誤差検出手段11によつて検出された量子化誤差を第2のフィルタ出力より減算し、量子化誤差除去信号を出力すると共に、当該量子化誤差除去信号に基づいて第1のフィルタ出力に重畳する量子化雑音を打ち消してデジタル信号として出力する誤差成分

除去手段 15 とを有するようにする。

【0013】

【作用】第 1 のデルタ-シグマ変調型アナログデジタル変換手段 2 の量子化手段及び逆量子化手段を多ビットのアナログデジタル変換手段 6 及びデジタルアナログ変換手段 8 によつて構成し、この第 1 のデルタ-シグマ変調型デジタルアナログ変換回路 2 に生じる量子化誤差を量子化手段及び逆量子化手段を 1 ビットのアナログデジタル変換手段 6 A 及びデジタルアナログ変換手段 8 A によつて構成される第 2 のデルタ-シグマ変調型アナログデジタル変換手段 2 A によつて打ち消すことにより、高精度かつ無信号時におけるアイドルトーンのないアナログデジタル変換回路 1 を容易に得ることができる。

【0014】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0015】(1) 第 1 の実施例

図 1 において 1 は全体としてマルチビット-デルタ-シグマ AD 変換回路を示し、デルタ-シグマ AD 変換ループ 20

$$G = \frac{1}{1 - Z^{-1}}$$

となる。

【0019】またデルタ-シグマ AD 変換ループフィルタ 2 は、遅延器 7 (Z^{-1}) によつてフィルタ出力 Y1 を 1 クロック分遅延してマルチビット DA 変換回路 8 に入力し、前クロック周期の帰還アナログ信号 S1 を再生して減算器 4 に負帰還するようになされている。

【0020】因にこの実施例の場合、マルチビット DA 30

$$Y_1 = (X - (E + Y_1 Z^{-1})) \cdot \frac{1}{1 - Z^{-1}} + Q_1$$

$$\Leftrightarrow Y_1 = (X - E) + Q_1 (1 - Z^{-1}) \quad \dots\dots (2)$$

となり、このままでは入力に誤差が影響することが分かる。

【0021】このとき第 2 項の $Q(1 - Z^{-1})$ は量子化雑音 Q_1 を積分器 5 の逆特性によつて抑圧することを意味している。

【0022】一方、量子化誤差補正回路 3 は、1 ビット DA 変換回路 8 A によつて構成される補正用デルタ-シグマ AD 変換ループフィルタ 2 A によつて入力側に帰還される帰還アナログ信号 S1 に含まれる量子化誤差 E を抽出し、メイン処理ループのマルチビット DA 変換回路 8 に生じる量子化誤差 E を打ち消すようになされている。

【0023】すなわち補正用デルタ-シグマ AD 変換ル

ープフィルタ 2 によつて入力アナログ信号 X をフィルタ出力 Y1 に変換し、このフィルタ出力 Y1 を量子化誤差補正回路 3 によつて補正することによりデジタル信号 Y として出力するようになされている。

【0016】このデルタ-シグマ AD 変換ループフィルタ 2 は、1 クロック前のフィルタ出力 Y1 を再度アナログ信号に戻して減算器 4 に帰還するようになされており、このとき帰還される帰還アナログ信号 S1 と入力アナログ信号 X との差分 (デルタ) をクロック周期ごと求めるようになされている。

【0017】積分器 5 はこの差分値を順次入力すると、前周期までの積分値に現周期の差分値を加算 (シグマ) し、その値をマルチビット AD 変換回路 6 に供給して 2 ビットのフィルタ出力 Y1 に変換するようになされている。

【0018】因に積分器 5 は周波数 f が低いほど利得が大きくなる周波数特性を有しており、この積分器 5 の伝達特性 G を求めると、次式

【数 1】

$$\dots\dots (1)$$

変換回路 8 には一般に量子化誤差 E が発生するためこれを加算器 9 と表す。ここでデルタ-シグマ AD 変換ループフィルタ 2 の量子化雑音を Q_1 とし、かつ負帰還ループのマルチビット DA 変換回路 8 の出力に量子化誤差 E が発生している場合の伝達特性 G を求めると、次式

【数 2】

ープフィルタ 2 A は、係数乗算器 10 を介して a ($a \leq 1$) 倍することにより入力が小さく圧縮された帰還アナログ信号 S1 とこのループフィルタでの帰還アナログ信号 S2 との差分値を減算器 4 A によつて求める。

【0024】その後積分器 5 A によつて差分値を順次加算し、この値を 1 ビット AD 変換回路 6 A によつてフィルタ出力 Y2 に変換し、減算器 11 に出力するようになされている。

【0025】ここで補正用デルタ-シグマ AD 変換ループフィルタ 2 A の量子化雑音を Q_1 とし、かつ乗算係数 a の値を 1 とすると、伝達特性 G は (2) 式の場合と同様、次式

【数 3】

$$Y_2 = (S_1 - Y_1 Z^{-1}) \cdot \frac{1}{1 - Z^{-1}} + Q_2$$

$$\Leftrightarrow Y_2 = S_1 + Q_2 (1 - Z^{-1}) \quad \dots\dots (3)$$

として与えられる。

【0026】このとき(3)式は、帰還アナログ信号S

$$S_1 = E + Y_1 Z^{-1}$$

と表される関係を用いて、次式

$$Y_2 = Y_1 Z^{-1} + E + Q_2 (1 - Z^{-1}) \quad \dots\dots (4)$$

と表すことができる。

【0027】ここで減算器11はメイン処理ループであるデルタ-シグマAD変換ループフィルタ2のフィルタ出力Y1を遅延器12、係数乗算器13を介して入力し、補正用デルタ-シグマAD変換ループフィルタ2の

$$Y_3 = Y_2 - Y_1 Z^{-1}$$

$$= Y_1 Z^{-1} + E + Q_2 (1 - Z^{-1}) - Y_1 Z^{-1}$$

$$= E + Q_2 (1 - Z^{-1}) \quad \dots\dots (5)$$

に示すように、マルチビットDA変換回路8に発生する量子化誤差Eと1ビットAD変換回路6Aに生じる量子化雑音Q₁を微分特性により伸張したものの加算値となる。

【0029】量子化誤差補正回路3はこのフィルタ出力Y3を係数乗算器10、13の係数aとは逆係数(1/

$$Y = Y_1 + Y_3$$

$$= (X - E) + Q_1 (1 - Z^{-1}) + E + Q_2 (1 - Z^{-1})$$

$$= X + Q_1 (1 - Z^{-1}) + Q_2 (1 - Z^{-1}) \quad \dots\dots (6)$$

に示すように、フィルタ出力Y1より量子化誤差Eが打ち消され、代わりに圧縮された量子化雑音Q₁が付加されて出力されることになる。

【0031】しかし(7)式において新たに付加される量子化雑音Q₁を積分器の逆特性によつて伸張した雑音は量子化誤差Eよりも大幅に小さいことが知られている。このため1ビット方式のデルタ-シグマAD変換回路に要求される帯域幅及びスルーレート共に小さい積分器を用いて構成することができるマルチビット方式のデルタ-シグマAD変換回路1を用いて1ビット方式のデルタ-シグマAD変換回路と同程度の精度を得ることができる。

【0032】以上の構成によれば、デルタ-シグマAD変換回路のループフィルタに用いられるAD変換回路及

が、次式

【数4】

..... (4)

【数5】

..... (5)

フィルタ出力Y2より減算するようになされている。

【0028】このとき減算器11より出力される補間フィルタ出力Y3は、次式

【数6】

a)の係数乗算器14によつて元の大きさに戻すと加算器15に供給し、デルタ-シグマAD変換ループフィルタ2のフィルタ出力Y1に加算する。

【0030】このとき加算器15より出力されるデジタル出力Yは、次式

【数7】

びDA変換回路として2ビットAD変換回路6及びDA変換回路8を使用し、フィルタ出力Y1を入力側に帰還する際にDA変換回路8に生じていた量子化誤差Eを1ビット方式のデルタ-シグマAD変換回路を基本構成とする量子化誤差補正回路3によつて打ち消すことにより、高精度の積分器5を用いることなく精度の高いデルタ-シグマAD変換回路を構成することができる。

【0033】またマルチビット方式のデルタ-シグマAD変換回路によりAD変換回路を構成するため1ビット方式のデルタ-シグマAD変換回路に生じていたアイドルトーンをなくすことができる。

【0034】(2)第2の実施例

図1との対応部分に同一符号を付して示す図2において、20は全体としてマルチステージ方式のデルタ-シ

グマAD変換回路を示し、2段目のデルタ-シグマループ変調フィルタを上述のマルチビット方式のデルタ-シグマAD変換回路1によつて構成し、ダイナミックレンジを拡大するようになされている。

【0035】このとき1段目のデルタ-シグマループフィルタ21は、減算器22において入力アナログ信号Xと帰還アナログ信号S3との差分を求め、この差分値を積分器23で積分した後、1ビットAD変換回路24及び2段目のデルタ-シグマループ変調フィルタ1に出力ようになされている。

【0036】ここで1ビットAD変換回路24のフィルタ出力Y4は遅延器25を介して入力側に帰還されると共に遅延器26を介して加算器27に供給される。この後、加算器27は積分器23に対して逆特性の微分器28を介して圧縮された量子化雑音をフィルタ出力Y4に加算して出力するようになされている。

【0037】このとき加算器27より出力されるデジタル出力Yは、マルチビット-デルタ-シグマAD変換回路1による量子化ノイズQ3に1ビット-デルタ-シグマAD変換回路21の量子化ノイズQ4を加算した値を積分器23の伝達特性に対して逆特性の微分器28により2重に伸張した量子化ノイズ $((Q3 + Q4)(1 - Z^{-1})^2)$ を入力アナログ信号Xに加算した値となる。

【0038】このときマルチビット-デルタ-シグマAD変換回路1による量子化ノイズQ3は、ビット数を増やすことによりほぼ0に近づけることができ、結果として1ビット方式のデルタ-シグマAD変換ループフィルタと同程度の量子化ノイズのもとダイナミックレンジを拡大することができる。

【0039】以上の構成によれば、マルチステージ方式のデルタ-シグマAD変換回路を構成する2段目のループフィルタをマルチビット方式のデルタ-シグマAD変換回路1によつて構成することにより、量子化精度を高精度に保つたままダイナミックレンジを一段と拡大することができる。

【0040】(3) 他の実施例

なお上述の実施例においては、乗算係数aを1とする場合について述べたが、本発明はこれに限らず、2分の1

や3分の1等さらに小さい値に設定しても良い。このようにすれば補正用デルタ-シグマAD変換ループフィルタ2Aを構成する積分器5Aに入力される信号値を小さくできるため積分器に求められる精度が下がるにもかかわらず高精度のデルタ-シグマAD変換回路を構成することができる。

【0041】また上述の実施例においては、マルチビット方式のAD変換回路及びDA変換回路として2ビットのものをを用いる場合について述べたが、本発明はこれに限らず、3ビット以上のAD変換回路やDA変換回路を用いる場合にも広く適用し得る。

【0042】

【発明の効果】上述のように本発明によれば、オーバーサンプリング-デルタ-シグマ変調型のアナログデジタル変換回路の量子化手段を多ビットのアナログデジタル変換手段及びデジタルアナログ変換手段によつて構成し、このデジタルアナログ変換回路に生じる量子化誤差を量子化手段を1ビットのアナログデジタル変換手段及びデジタルアナログ変換手段によつて構成されるデルタ-シグマ変調型アナログデジタル変換手段によつて打ち消す。

【0043】これにより従来多ビット方式の量子化精度を劣化させていた量子化誤差を打ち消すことができ、1ビット方式と同程度の精度が得られ、かつ無信号時におけるアイドルトーンのないアナログデジタル変換回路を容易に得ることができる。

【図面の簡単な説明】

【図1】本発明によるアナログデジタル変換回路の一実施例を示すブロック図である。

【図2】本発明によるアナログデジタル変換回路の一実施例を示すブロック図である。

【符号の説明】

1……マルチビットデルタ-シグマ-AD変換回路、2……デルタ-シグマ-AD変換ループフィルタ、3……量子化誤差補正回路、6……マルチビットAD変換回路、6A、24……1ビットAD変換回路、8……マルチビットDA変換回路、8A……1ビットDA変換回路、20……マルチステージ方式デルタ-シグマAD変換回路。

【図1】

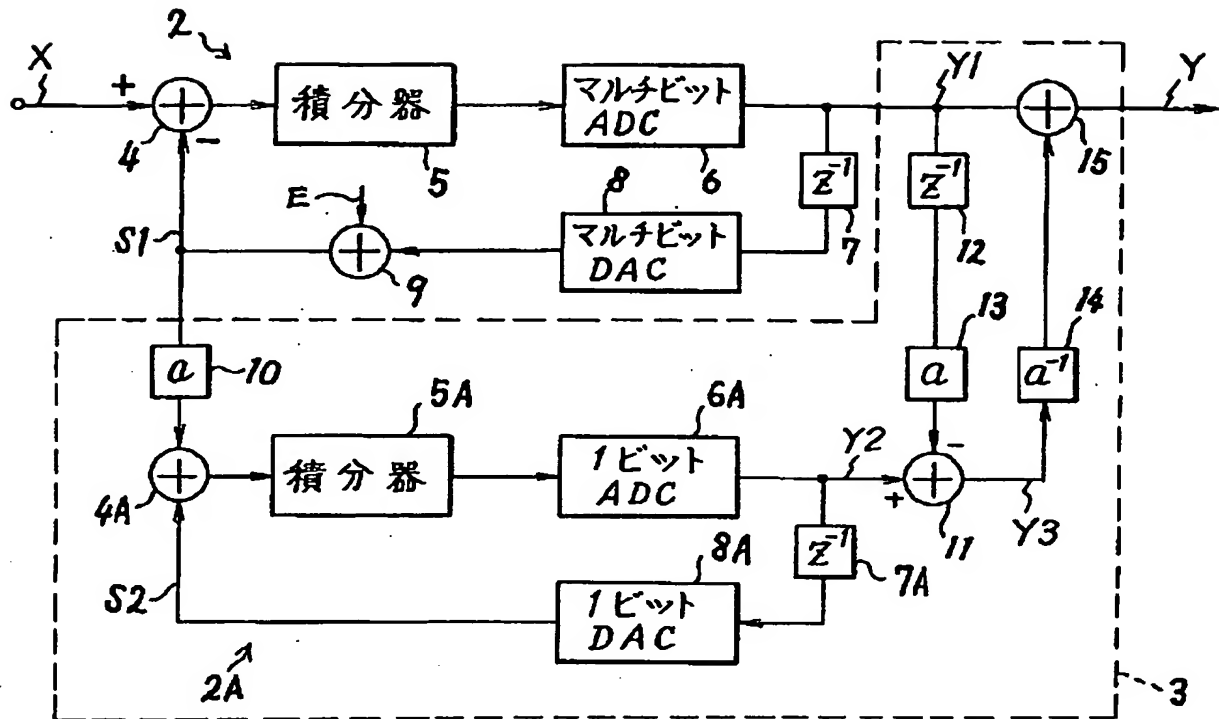


図1 第1実施例の構成

【図2】

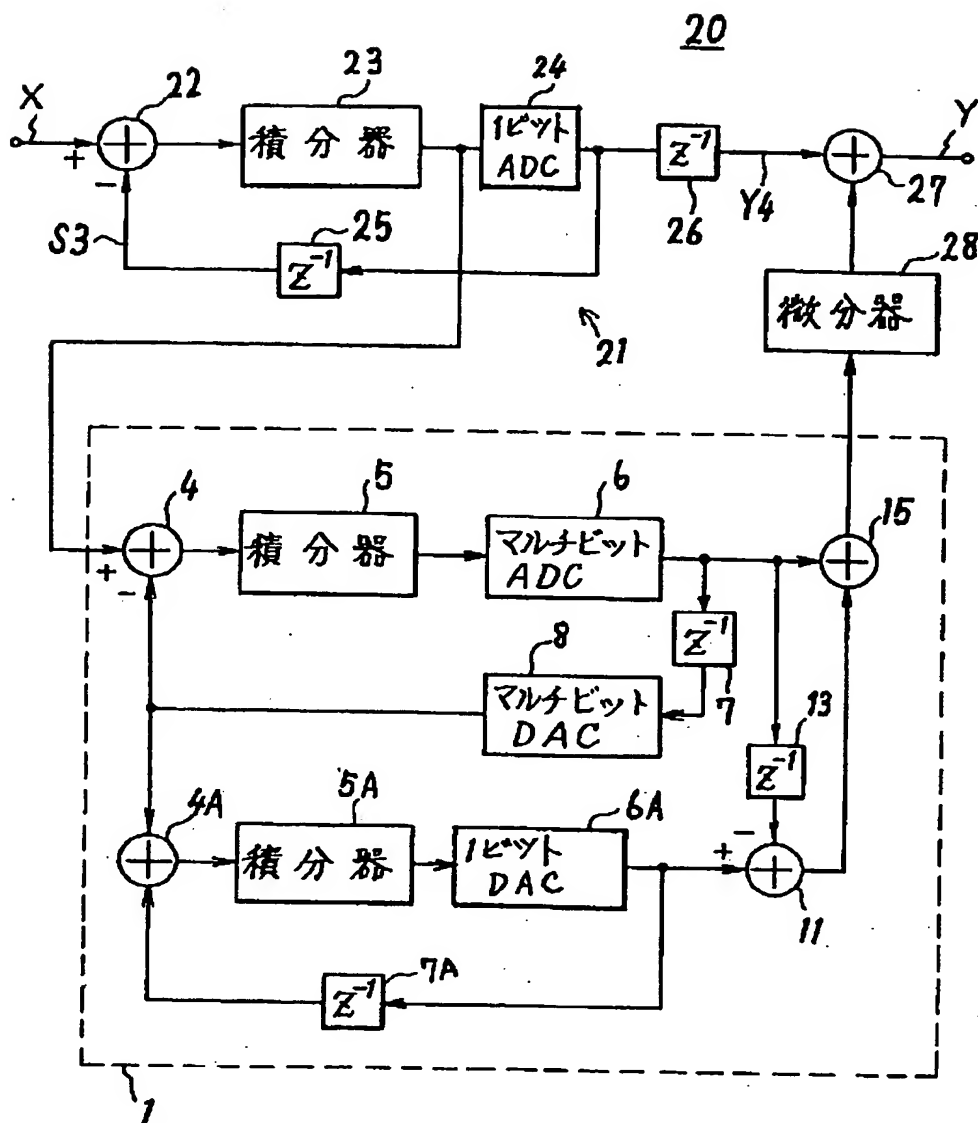


図2 第2実施例の構成